

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-283906

(43)Date of publication of application : 29.10.1993

(51)Int.CI.

H01P 1/203

H01P 1/205

H01P 11/00

(21)Application number : 04-078054

(71)Applicant : NGK INSULATORS LTD

(22)Date of filing : 31.03.1992

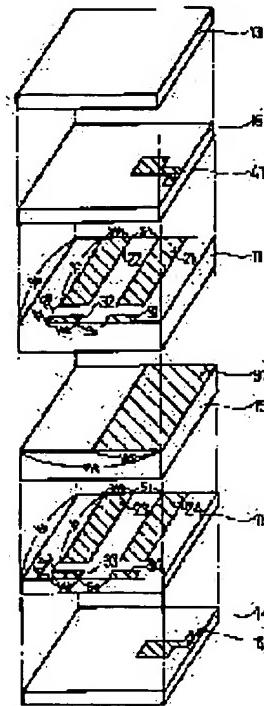
(72)Inventor : HIRAI TAKAMI  
YANO SHINSUKE

## (54) LAMINATED DIELECTRIC FILTER

### (57)Abstract:

PURPOSE: To provide a compact laminated dielectric filter with small occupancy area at the time of packaging.

CONSTITUTION: Resonators 24, 23 are formed on a dielectric layer 117. Resonators 22, 21 are formed on a dielectric layer 11 so that the resonator 22 is superposed on the resonator 23 and the resonator 21 on the resonator 24. Shield electrodes 91 are formed on the right half of dielectric layer 15 laminated between a dielectric layer 117 and a dielectric layer 11.



## LEGAL STATUS

[Date of request for examination] 04.08.1997

[Date of sending the examiner's decision of rejection] 10.11.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-283906

(43)公開日 平成5年(1993)10月29日

(51)Int.Cl.<sup>5</sup>  
H 01 P 1/203  
1/205  
  
11/00

識別記号 B  
D  
K  
G

F I

技術表示箇所

審査請求 未請求 請求項の数10(全 17 頁)

(21)出願番号 特願平4-78054

(22)出願日 平成4年(1992)3月31日

(71)出願人 000004064

日本碍子株式会社

愛知県名古屋市瑞穂区須田町2番56号

(72)発明者 平井 隆己

愛知県西加茂郡三好町大字三好字東山37番  
地の18

(72)発明者 矢野 信介

愛知県名古屋市緑区鳴海町姥子山22の1番  
地 鳴海団地89号棟301号

(74)代理人 弁理士 千葉 剛宏 (外4名)

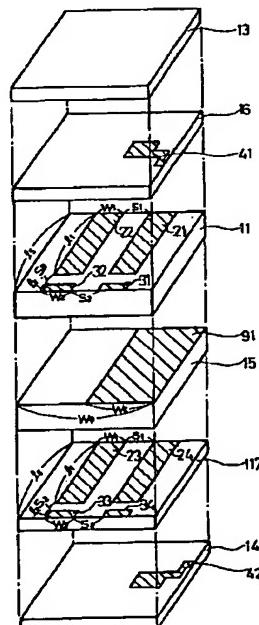
(54)【発明の名称】 積層型誘電体フィルタ

(57)【要約】

【目的】小型化され、実装したときの専有面積が小さい  
積層型誘電体フィルタを提供する。

【構成】共振素子24、23を誘電体層117上に形成  
する。共振素子22、21を、共振素子22が共振素子  
23と重なり、共振素子21が共振素子24上に重なる  
ように、誘電体層116上に形成する。誘電体層117  
と誘電体層116との間に積層される誘電体層15上の  
右半分にシールド電極91を形成する。

FIG.1



## 【特許請求の範囲】

【請求項1】第1の共振素子と、

前記第1の共振素子上に積層された第2の共振素子と、前記第1の共振素子と前記第2の共振素子間に設けられたシールド電極と、

前記第1の共振素子と前記第2の共振素子との間に結合された1以上の第3の共振素子と、

を有することを特徴とする積層型誘電体フィルタ。

【請求項2】請求項1記載の積層型誘電体フィルタにおいて、

前記第1の共振素子および前記第3の共振素子とそれぞれ結合して設けられた第4の結合素子と、

前記第2の共振素子および前記第3の共振素子とそれぞれ結合するとともに、前記第4の結合素子上に積層して設けられた第5の共振素子と、

前記第4の共振素子と前記第5の共振素子間に設けられた第2のシールド電極と、

をさらに有することを特徴とする積層型誘電体フィルタ。

【請求項3】請求項1記載の積層型誘電体フィルタにおいて、前記第1の共振素子は入力端側共振素子および出力端側共振素子の一方であり、前記第2の共振素子は、入力端側共振素子および出力端側共振素子の他方であることを特徴とする積層型誘電体フィルタ。

【請求項4】請求項2記載の積層型誘電体フィルタにおいて、前記第1の共振素子は入力端側共振素子および出力端側共振素子の一方であり、前記第2の共振素子は、入力端側共振素子および出力端側共振素子の他方であることを特徴とする積層型誘電体フィルタ。

【請求項5】請求項1または3記載の積層型誘電体フィルタにおいて、前記シールド電極に開口部に設けられていることを特徴とする積層型誘電体フィルタ。

【請求項6】請求項2または4記載の積層型誘電体フィルタにおいて、前記第2のシールド電極に開口部が設けられていることを特徴とする積層型誘電体フィルタ。

【請求項7】請求項1乃至6のいずれかに記載の積層型誘電体フィルタにおいて、前記積層型誘電体フィルタはコムライン型誘電体フィルタであることを特徴とする積層型誘電体フィルタ。

【請求項8】請求項1乃至6のいずれかに記載の積層型誘電体フィルタにおいて、前記積層型誘電体フィルタはインターデジタル型誘電体フィルタであることを特徴とする積層型誘電体フィルタ。

【請求項9】請求項3または4記載の積層型誘電体フィルタにおいて、前記第1の共振素子と結合または接続される入力用電極および出力用電極の一方と、前記第2の共振素子と結合または接続される入力用電極または出力用電極の他方とが、前記誘電体フィルタの同じ面に導出されることを特徴とする積層型誘電体フィルタ。

【請求項10】請求項9記載の積層型誘電体フィルタに

おいて、前記入力用電極および前記出力用電極は、前記第1の共振素子と前記第2の共振素子の積層方向に平行な第1の面に導出され、前記第1の面より前記積層方向とは垂直な第2の面にまで延在する入力端子および出力端子に前記第1の面内においてそれぞれ電気的に接続されることを特徴とする積層型誘電体フィルタ。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は積層型誘電体フィルタに関する、特に携帯用電話機等の高周波回路無線機器に利用する高周波回路フィルタや、アンテナデュプレクサ等に使用される積層型誘電体フィルタに関する。

【0002】

【従来の技術】図35、36は、それぞれ、本発明者が案出した積層型誘電体フィルタの模式展開図および斜視図である。この積層型誘電体フィルタにおいては、図35に示すように、まず、誘電体層11の表面に一端部が後記のアース電極70に電気的に接続される1/4波長型ストリップライン共振器からなる共振素子21～24を所定間隔で形成し、さらに、一端部がアース電極70に電気的に接続され、かつ他端部が共振素子21～24の開放端から所定の間隔離れて共振素子21～24とそれぞれ対向する電極31～34を誘電体層11の表面に形成して、共振素子21～24各々の間を誘導結合させ、誘電体層11上に積層される誘電体層12の表面に、誘電体層12を挟んで入力側の共振素子21の一部に重なる入力用電極41および誘電体層12を挟んで出力側の共振素子24の一部に重なる出力用電極42を形成し、誘電体層12上に誘電体層13を積層して積層型誘電体フィルタ本体を構成する。

【0003】次に、図36に示すように、積層型誘電体フィルタ本体の表面、裏面、および入力端子部61と出力端子部62を除いた側面にアース電極70を形成し、積層型誘電体フィルタ本体の側面に形成した入力端子部61内にアース電極70から電気的に絶縁され、かつ入力用電極41に電気的に接続される入力端子51と、同様に積層型誘電体フィルタ本体の側面に形成した出力端子部62内にアース電極70から電気的に絶縁され、かつ出力用電極42に電気的に接続される出力端子52を形成して構成されている。

【0004】図35、36に示した積層型誘電体フィルタの電気的な等価回路は図37に示す如くである。図37において符号111は共振素子21と入力用電極41間の静電容量であり、符号112は共振素子24と出力用電極42間の静電容量であり、符号121～124はそれぞれ共振素子21と電極31間の静電容量、共振素子22と電極32間の静電容量、共振素子23と電極33間の静電容量、共振素子24と電極34間の静電容量であり、符号131は共振素子21と共振素子22との間の分布結合を示すインダクタンスであり、符号132

3

は共振素子22と共振素子23との間の分布結合を示すインダクタンスであり、符号133は共振素子23と共振素子24との間に形成されるインダクタンスであつて、バンドパスフィルタを構成している。なお、並列共振回路の静電容量211、221、231、241およびインダクタンス212、222、232、242は共振素子21、22、23、24をそれぞれ等価変換したときの静電容量およびインダクタンスである。

## 【0005】

【発明が解決しようとする課題】しかしながら、このようなバンドパスフィルタが用いられる携帯用電話機端末等においては、小型化の要求が特に強まっており、それにつれてその内部に用いられるバンドパスフィルタをも小型化し、その専有面積を小さくすることが強く要求されるようになっているが、上述した構造の積層型誘電体フィルタにおいては、共振素子21～24が同一平面内に並設されているために、積層型誘電体フィルタの横幅が大きくなり、その専有面積を小さくすることが困難であった。特にフィルタのQ特性を改善するために、共振素子21～24自体の横幅を大きくした場合や、フィルタの減衰特性を改善するために共振素子数を増加させた場合はなおさらであった。

【0006】従って、本発明の目的は、小型化され、実装したときの専有面積を小さくすることが可能な積層型誘電体フィルタを提供することにある。

## 【0007】

【課題を解決するための手段】本発明の請求項1によれば、第1の共振素子と、前記第1の共振素子上に積層された第2の共振素子と、前記第1の共振素子と前記第2の共振素子間に設けられたシールド電極と、前記第1の共振素子と前記第2の共振素子との間に結合された1以上の第3の共振素子と、を有することを特徴とする積層型誘電体フィルタが得られる。

【0008】本発明の請求項2によれば、請求項1記載の積層型誘電体フィルタにおいて、前記第1の共振素子および前記第3の共振素子とそれぞれ結合して設けられた第4の結合素子と、前記第2の共振素子および前記第3の共振素子とそれぞれ結合するとともに、前記第4の結合素子上に積層して設けられた第5の共振素子と、前記第4の共振素子と前記第5の共振素子間に設けられた第2のシールド電極と、をさらに有することを特徴とする積層型誘電体フィルタが得られる。

【0009】本発明の請求項3によれば、請求項1記載の積層型誘電体フィルタにおいて、前記第1の共振素子は入力端側共振素子および出力端側共振素子の一方であり、前記第2の共振素子は、入力端側共振素子および出力端側共振素子の他方であることを特徴とする積層型誘電体フィルタが得られる。

【0010】本発明の請求項4によれば、請求項2記載の積層型誘電体フィルタにおいて、前記第1の共振素子

4

は入力端側共振素子および出力端側共振素子の一方であり、前記第2の共振素子は、入力端側共振素子および出力端側共振素子の他方であることを特徴とする積層型誘電体フィルタが得られる。

【0011】本発明の請求項5によれば、請求項1または3記載の積層型誘電体フィルタにおいて、前記シールド電極に開口部に設けられていることを特徴とする特徴とする積層型誘電体フィルタが得られる。

【0012】本発明の請求項6によれば、請求項2または4記載の積層型誘電体フィルタにおいて、前記第2のシールド電極に開口部が設けられていることを特徴とする積層型誘電体フィルタが得られる。

【0013】本発明の請求項7によれば、請求項1乃至6のいずれかに記載の積層型誘電体フィルタにおいて、前記積層型誘電体フィルタはコムライン型誘電体フィルタであることを特徴とする積層型誘電体フィルタが得られる。

【0014】本発明の請求項8によれば、請求項1乃至6のいずれかに記載の積層型誘電体フィルタにおいて、前記積層型誘電体フィルタはインターデジタル型誘電体フィルタであることを特徴とする積層型誘電体フィルタが得られる。

【0015】本発明の請求項9によれば、請求項3または4記載の積層型誘電体フィルタにおいて、前記第1の共振素子と結合または接続される入力用電極および出力用電極の一方と、前記第2の共振素子と結合または接続される入力用電極または出力用電極の他方とが、前記誘電体フィルタの同じ面に導出されることを特徴とする積層型誘電体フィルタが得られる。

【0016】本発明の請求項10によれば、請求項9記載の積層型誘電体フィルタにおいて、前記入力用電極および前記出力用電極は、前記第1の共振素子と前記第2の共振素子の積層方向に平行な第1の面に導出され、前記第1の面より前記積層方向とは垂直な第2の面にまで延在する入力端子および出力端子に前記第1の面内においてそれぞれ電気的に接続されることを特徴とする積層型誘電体フィルタが得られる。

## 【0017】

【作用】本発明において、第1の共振素子と第2の共振素子とを積層することにより、実装したときの専有面積を小さくできる。

【0018】そして、第1の共振素子と第2の共振素子との間にシールド電極を設けることにより、第1の共振素子と第2の共振素子とが、これらと結合される第3の結合素子を飛び越して結合するのを防止することができる。

【0019】これらのことは、第4の共振素子と第5の共振素子とをさらに積層した場合でも同様である。

【0020】さらに、第1の共振素子と第2の共振素子との間のシールド電極に開口部を設けることにより、こ

これらの第1および第2の共振素子と第3の共振素子との間の結合を維持したまま第1の共振素子と第2の共振素子との間も部分的な結合を形成することができ、その結果、特に結合のための部品を追加せずとも、減衰特性に優れた梢円関数フィルタを構成することができる。

【0021】また、第1の共振素子および第2の共振素子とそれぞれ結合または接続される入出力用電極を誘電体フィルタの同じ側面に導出することにより表面実装に適したフィルタを構成することができる。

【0022】そして、この導出面を第1の共振素子と第2の共振素子が積層される方向と平行な面とし、この面よりこの面とは垂直な面にまで延在する入出力端子に入出力用電極を接続することで、多段構成のフィルタとなつた場合においてもフィルタの厚さを増加することなく、しかも表面実装に適したフィルタを構成することができる。

#### 【0023】

【実施例】以下、本発明の実施例を添付の図面を参照して説明する。

【0024】図1は本発明の第1の実施例の模式展開図であり、図2は本実施例の斜視図である。

【0025】図1に示すように、後記する出力端側の共振素子24の一部に誘電体層117を挟んで重なる出力用電極42を誘電体層14上に形成する。この出力用電極42は誘電体層14の右側面に向かって後方に延在して設けられている。なお、誘電体層14の裏面にはアース電極70が後に形成される。

【0026】後記するアース電極70に一端部がそれぞれ電気的に接続された1/4波長型ストリップライン共振器を構成する共振素子24、23を誘電体層14上に積層される誘電体層117の表面上に形成し、さらに一端部が後記するアース電極70に電気的に接続され、かつ他端部が共振素子24、23の開放端から所定の間隔離れて共振素子24、23とそれぞれ対向する電極34、33を誘電体層117上に形成する。

【0027】後記するアース電極70に電気的に接続されるシールド電極91を誘電体層117上に積層される誘電体15の右半分の表面上に形成する。

【0028】後記するアース電極70に一端部がそれぞれ電気的に接続されて1/4波長型ストリップライン共振器を構成する共振素子21、22を誘電体層15上に積層される誘電体層116の表面上に形成し、さらに一端部が後記するアース電極70に電気的に接続され、かつ他端部が共振素子21、22の開放端から所定の間隔離れて共振素子21、22とそれぞれ対向する電極31、33を誘電体層116上に形成する。共振素子21が入力端側の共振素子である。

【0029】前記共振素子21の一部に誘電体層16を挟んで重なる入力用電極41を誘電体層116上に積層される誘電体層16上に形成する。入力用電極41は誘

電体層16の右側面に向かって前方に延在して設けられている。このように入力用電極41を前方に延在させる一方、誘電体層14上の出力用電極42を後方に延在させることによって、入力用電極41および出力用電極42の露出端部が誘電体層の積層方向において重ならないようとしている。

【0030】誘電体層16上に、表面にアース電極70が形成される誘電体層13を積層し、誘電体層14、117、15、116、16、13を一体に構成して積層体500を形成する。

【0031】図2に示すように、積層体500の上面、入力端子部61、出力端子部62を除く側面、および入力端子部61、出力端子部62を除く下面にアース電極70を形成する。さらに積層体500の一側面600の入力端子部61内および下面の入力端子部61内に、アース電極70と電気的に絶縁され、かつ入力用電極41と電気的に接続される入力端子51を形成する。また同様に、積層体500の同じ側面600の出力端子部62内および下面の出力端子部62内に、アース電極70および入力端子51と電気的に絶縁され、かつ出力用電極42と電気的に接続される出力端子52を形成する。

【0032】このように側面600内に設けられた入力端子51および出力端子52を積層体500の側面600から積層体500の下面にまでそれぞれ延在させていいから、下面を下にしてフィルタを実装する際には表面実装に適した構造となっている。なお、側面600を下にしてフィルタを実装する場合には、入力端子51、出力端子52を積層体500の下面にまで延在させてもよい。

【0033】次に、共振素子21～24、電極31～34、入力用電極41、出力用電極42、シールド電極91の空間的な構成を平面図およびそのX-X線断面図で示せば図3および図4の如くである。

【0034】共振素子21と入力用電極41間には誘電体層16を挟んで重なり部分があつて、誘電体16を含む重なり部分において静電結合された状態となっている。この静電容量を静電容量111とする。共振素子24と出力用電極42間にても誘電体層117を挟んで重なり部分があつて、誘電体層117を含む重なり部分において静電結合された状態となっている。この静電容量を静電容量112とする。

【0035】さらに、共振素子21、22、23、24の開放端と電極31、32、33、34との間には、それぞれ静電容量121、122、123、124が形成されている。そして、これらの静電容量121～124が存在することによって、共振素子21と共振素子22はインダクタンス131によって、共振素子22と共振素子23はインダクタンス132によって、共振素子23と共振素子24はインダクタンス133によってそれぞれ結合され、コムライン型のフィルタを構成してい

る。なお、共振素子21と共振素子24との間にはアース電極と電気的に接続されたシールド電極91が設けられているから、共振素子21と共振素子24とは分布結合されていない。

【0036】図5は、上記のように構成された積層型誘電体フィルタの等価回路を示している。この等価回路は、図35、36に示した積層型誘電体フィルタの等価回路である図37と同一であり、本実施例においてもバンドパスフィルタが形成されていることがわかる。

【0037】そして、このような4段のバンドパスフィルタを構成するのに、図35、図36の構造では共振素子21～24を横方向に並設していたから、横幅が大きくなり、実装時の専有面積が大きいものとなっていたが、本実施例においては同じ4段のバンドパスフィルタを構成する場合においても横方向に並設される共振素子は2個だから、フィルタの横幅も略半分となり、実装時の専有面積も略半分となる。

【0038】また、入力用電極41と出力用電極42とは共振素子21、シールド電極91および共振素子24を間に挟んで位置している。従って、入力用電極41と出力用電極42とは共振素子21、シールド電極91および共振素子24によって静電的に遮蔽された状態となって、入力用電極41と出力用電極42との間の浮遊容量はほとんどなくなる。この結果、バンドパスフィルタの減衰特性も向上する。

【0039】次に、第1の実施例の積層型誘電体フィルタの製造方法について説明する。

【0040】本積層型誘電体フィルタは共振素子21～24、電極31～34、入力用電極41、出力用電極42およびシールド電極91を完全に誘電体中に内蔵することから、共振素子21～24、電極31～34、入力用電極41、出力用電極42およびシールド電極91には損失の少ない比抵抗の低いものを用いることが望ましく、低抵抗のAg系、若しくはCu系の導体を用いることが好ましい。

【0041】使用する誘電体としては、信頼性が高く誘電率 $\epsilon_r$ が大きいため、小型化が可能となるセラミックス誘電体が好ましい。

【0042】また、製造方法としては、セラミックス粉末の成形体に導体ペーストを塗布して電極パターンを形成した後、各々の成形体を積層しさらに焼成して緻密化し、導体がその内部に積層された状態でセラミックス誘電体と一体化することが望ましい。

【0043】Ag系やCu系の導体を使用する場合には、それらの導体の融点が低く、通常の誘電体材料と同時に焼成することは困難であることから、それらの融点(1100°C以下)よりも低い温度で焼成され得る誘電体材料を用いる必要がある。また、マイクロ波フィルタとしてのデバイスの性格上、形成される並列共振回路の共振周波数の温度特性(温度係数)が±50 ppm/°C

以下になるような誘電体材料が好ましい。このような誘電体材料としては、例えば、コーチェライト系ガラス粉末とTiO<sub>2</sub>粉末およびNd<sub>2</sub>Ti<sub>2</sub>O<sub>7</sub>粉末との混合物等のガラス系のものや、BaO-TiO<sub>2</sub>-RE<sub>2</sub>O<sub>3</sub>-Bi<sub>2</sub>O<sub>3</sub>系組成(RE:レアース成分)に若干のガラス形成成分やガラス粉末を添加したもの、酸化バリウム-酸化チタン-酸化ネオジウム系誘電体磁気組成物粉末に若干のガラス粉末を添加したものがある。

【0044】一例として、MgO:18wt% - Al<sub>2</sub>O<sub>3</sub>:37wt% - SiO<sub>2</sub>:37wt% - B<sub>2</sub>O<sub>3</sub>:5wt% - TiO<sub>2</sub>:3wt%なる組成のガラス粉末の73wt%と、市販のTiO<sub>2</sub>粉末の17wt%と、Nd<sub>2</sub>Ti<sub>2</sub>O<sub>7</sub>粉末の10wt%を充分に混合し、混合粉末を得た。なお、Nd<sub>2</sub>Ti<sub>2</sub>O<sub>7</sub>粉末は、Nd<sub>2</sub>O<sub>3</sub>粉末とTiO<sub>2</sub>粉末を1200°Cで仮焼した後、粉碎して得たものを使用した。次いで、この混合粉末に、アクリル系有機バインダー、可塑剤、トルエンおよびアルコール系の溶剤を加え、アルミナ玉石で充分に混合してスラリーとした。そして、このスラリーを用いて、ドクターブレード法により、0.2mm～0.5mmの厚みのグリーンシートを作製した。

【0045】次に、上記第1の実施例の場合は、銀ペーストを導体ペーストとして図1に示した導体パターンをそれぞれ印刷し、次いで、これら導体パターンが印刷されたグリーンシートの厚みを調整するため必要なグリーンシートを重ねて図1の構造となるように重ね、積層した後、900°Cで焼成した。

【0046】上記のように構成した積層型誘電体フィルタ本体の上面すなわち誘電体層13の表面対応面、入力端子部61、出力端子部62を除く側面、および入力端子部61、出力端子部62を除く下面に図2に示すように銀電極からなるアース電極70を印刷し、さらにアース電極70から電気的に絶縁し、かつ入力用電極41、出力用電極42に各別に電気的に接続する銀電極を入力端子部61、出力端子部62内に入力端子51、出力端子52として印刷し、これらの印刷した電極を850°Cで焼きつけた。

【0047】上記の積層型誘電体フィルタにおいて、各共振素子21～24の幅w<sub>1</sub>を0.8mm、かつ共振素子21、22間および23、24間の間隔s<sub>1</sub>を1.2mm、共振素子21～24の長さl<sub>1</sub>を4mm、電極31～34の幅w<sub>2</sub>を0.8mm、電極31～34の長さl<sub>2</sub>を0.5mm、電極31、32間および33、34間の間隔s<sub>2</sub>を1.2mm、共振素子21～24とそれらとそれぞれ対向する電極31～34との間隔s<sub>3</sub>を0.3mmとし、入力用電極41と共振素子21との対向面積を0.96mm<sup>2</sup>、出力用電極42と共振素子24との対向面積を0.96mm<sup>2</sup>、誘電体層14、117、15、111、16、13の厚さをそれぞれ0.9mm、0.2mm、0.2mm、1.1mm、1.1mm、0.2mm

m、0.9mmとし、誘電体層14、117、15、16、16、13の長さ<sub>15</sub>を4.8mm、幅w<sub>4</sub>を4.8とし、シールド電極91の幅w<sub>5</sub>を3mmとしたとき、外形形状は4.8mm×4.8mm×4.4mmであり、中心周波数は1900MHz、帯域幅は25MHz、挿入損失は3.5dB以下であった。また、中心周波数から250MHz高い周波数点での減衰量は40dBであった。

【0048】次に、本発明の第2の実施例を説明する。図6は本実施例の模式展開図、図7は本実施例の主要部の構成を示す平面図、図8、図9はそれぞれ図7のX-X線、Y-Y線断面図である。

【0049】本実施例においては、誘電体層14の上に内部アース電極82が、誘電体層16上にも内部アース電極81が形成され、誘電体層15上のシールド電極91が誘電体層15の左側にも一部延在して設けられている点が第1の実施例と異なるが、他の構成は上記した第1の実施例と同様である。

【0050】内部アース電極82は、共振素子24、23の開放端側の一部に誘電体層117を挟んで重なり、その端部が後記するアース電極70と電気的に接続される。内部アース電極82は、共振素子21、22の開放端側の一部に誘電体層16を挟んで重なり、その端部が後記するアース電極70と電気的に接続される。シールド電極91も共振素子22、23の開放端側の一部にそれぞれ誘電体層116、15を挟んで重なるように誘電体層15の左側に延在している。

【0051】本実施例においても、入力用電極41、出力用電極42、共振素子21～24、電極31～34の関係は第1の実施例と同様であるから、入力用電極41と共振素子21との間には静電容量111が、出力用電極42と共振素子24との間には静電容量112がそれぞれ形成され、共振素子21、22、23、24の開放端と電極31、32、33、34との間には静電容量121、122、123、124がそれぞれ形成され、共振素子21と共振素子22はインダクタンス131によって、共振素子22と共振素子23はインダクタンス132によって、共振素子23と共振素子24はインダクタンス133によってそれぞれ結合されている点も同様である。さらに、誘電体層15の右半分にもシールド電極91が形成されている点も同様であるから、共振素子21と24同士は結合していない点も同様である。

【0052】本実施例においては、共振素子21と内部アース電極81およびシールド電極91との間には静電容量141、142がそれぞれ形成され、共振素子22と内部アース電極81およびシールド電極91との間には静電容量143、144がそれぞれ形成され、共振素子23とシールド電極91および内部アース電極82との間には静電容量145、146がそれぞれ形成され、共振素子24とシールド電極91および内部アース電極

82との間には静電容量147、148がそれぞれ形成されている。

【0053】図10に、上記のようにして構成された積層型誘電体フィルタの等価回路を示す。

【0054】次に、本実施例において用いられた内部アース電極81、82およびシールド電極91の共振素子21～24の開放端側に対向する部分の作用効果について説明する。

【0055】先ず、図11に示すように、コムライン型の2つの共振素子321、322が存在する場合を考える。共振素子321、322の電気長はともにθである。図12は図11のコムライン型の配線の等価回路図である。ここで共振素子321、322の偶モードのインピーダンスをZ<sub>o</sub>とし、奇モードのインピーダンスをZ<sub>0</sub>とすると、共振素子321、322を分布定数的に結合する分布定数素子323の特性インピーダンスZ<sub>c</sub>は

【0056】

【数1】

$$Z_c = \frac{1}{\left( \frac{1/Z_o - 1/Z_e}{2} \right)}$$

となる。さらにこの特性インピーダンスZ<sub>c</sub>のラインの開放側からみたインピーダンスZは、Z = j Z<sub>c</sub> tan θと表される。

【0057】図13はこのインピーダンスZのリアクタンスZ<sub>c</sub> tan θと電気長θとの関係を示したものである。θ = 90°（すなわち、1/4波長）では分布定数素子323のリアクタンスZ<sub>c</sub> tan θが∞となり、共振素子321、322の間には、結合が存在しないことがわかる。次に、電気長θが1/4波長よりも短くなれば、すなわち、0 < θ < 90°の場合においては、tan θが有限の値となり、分布定数素子323のリアクタンスZ<sub>c</sub> tan θも有限の値となり、共振素子321、322が結合するようになり、θの値が小さいほどリアクタンスZ<sub>c</sub> tan θが小さくなり、強く結合するようになる。そして、この場合、すなわち、0 < θ < 90°の場合にはZ<sub>c</sub> tan θの値が正だから、分布定数素子323はインダクタンスとして表されることになる。

【0058】ここで、もう一度図8、9、10を参照すれば、内部アース電極81、82およびシールド電極91を部分的に共振素子21～24の開放端側に追加したことにより、共振素子21～24の開放端側であって、内部アース電極81、82およびシールド電極91と重なった部分はよりアースに近くなり、アースとの結合が強くなるから、内部アース電極81、82およびシールド電極91と重なった部分の共振素子21～24同士の結合が弱くなる。従って、共振素子21～24同士の結

11

合は内部アース電極81、82およびシールド電極91と重ならない部分で主として結合するようになる。このことは、共振素子21～24の結合電気長θが、実質的には内部アース電極81、82およびシールド電極91と重ならない部分の長さと等しくなることを意味する。このように共振素子21～24の結合電気長θが短くなれば、共振素子21～24同士を結合する分布定数素子323のリアクタンス $Z_c \tan \theta$ も小さくなるから、共振素子21～24同士がより強く結合するようになり、フィルタ特性の広帯域化が図られるようになる。

【0059】また、電極31～34を設けているから共振素子21～24とアースとの間には静電容量121～124がそれぞれ加わっているが、さらに、内部アース電極81、82およびシールド電極91を設けることにより、共振素子21、22と内部アース電極81およびシールド電極91との間には静電容量141および142、143および144がそれぞれ形成され、共振素子23、24とシールド電極91および内部アース電極82との間には静電容量145および146、147および148がそれぞれ形成され、これらの静電容量も共振素子21～24とアースとの間にそれぞれ付加されることになる。従って、図10に示す並列共振回路の静電容量は共振素子21～24を等価交換したときの静電容量211、221、231、241と、これらの付加された静電容量との和からなる合成静電容量となって、共振周波数を同一とすれば、並列共振回路のインダクタンスは小さくて済むことになる。従って、共振素子21～24の長さもより短くなり、積層型誘電体フィルタの全体の長さも短くなる。

【0060】次に、本実施例の積層型誘電体フィルタの製造方法について説明する。本実施例においても、第1の実施例において使用したグリーンシートを用い、銀ペーストを導体ペーストとして図6に示した導体パターンをそれぞれ印刷し、次いで、これらを導体パターンが印刷されたグリーンシートの厚みを調整するために必要なグリーンシートを重ねて図6の構造となるように積層した後、900℃で焼成した。

【0061】上記のように構成した積層型誘電体フィルタの本体の上面、入力端子部61、出力端子部62を除く側面、および入力端子部61、出力端子部62を除く下面に、図2に示すように銀電極からなるアース電極70を印刷し、さらにアース電極70から電気的に絶縁し、かつ入力用電極41、出力用電極42に各別に電気的に接続する銀電極を入力端子部61、出力端子部62内に入力端子51、出力端子52として印刷し、印刷した電極を850℃で焼きつけた。

【0062】上記構成の積層型誘電体フィルタにおいて、内部アース電極81、82の幅w3を3.4mm、内部アース電極81、82の長さl3を1.2mm、内部アース電極81と各共振素子21、22との対向面積

をそれぞれ0.32mm<sup>2</sup>、内部アース電極82と各共振素子24、23との対向面積をそれぞれ0.32mm<sup>2</sup>、シールド電極91の左側の長さl6を1.0mm、シールド電極91と共振素子24、23との対向面積をそれぞれ0.16mm<sup>2</sup>とし、他は第1の実施例と同様に構成した場合、中心周波数を第1の実施例と同じ1900MHzとするには共振素子の長さl1を3.5mmとすればよく、第1の実施例においては4mmであったのに比べて0.5mm短くなっている。そして積層型誘電体フィルタ自体の長さl5も第1の実施例が4.8mであったのに比べて4.3mmと短くなっている。なお、この場合、内部アース電極81、82から露出している部分の共振素子の長さl4は3.3mmであり、外形形状は4.3mm×4.8mm×4.4mmであった。さらに、帯域幅も60MHzであり、第1の実施例よりも広かった。このように、第2の実施例においては、帯域幅が大幅に改善され、積層型誘電体フィルタ自体の寸法もより小さくなっていることがわかる。

【0063】なお、本実施例において、挿入損失は3.3dB以下であった。また、中心周波数から250MHz高い周波数点での減衰量は38dBであった。

【0064】次に、本発明の第3の実施例を説明する。図14は本実施例の模式展開図、図15は本実施例の主要部の構成を示す平面図、図16、図17はそれぞれ図15のX-X線、Y-Y線断面図である。

【0065】本実施例においては、共振素子25、26が追加され、6段のフィルタ構成となっている点が第2の実施例と異なるが他の構成は第2の実施例と同様である。誘電体層116上には一端がアース電極70に接続される共振素子25と、一端がアース電極70に接続され他端が共振素子25の開放端と対向する電極35が設けられている。誘電体層116上の内部アース電極81は共振素子25の開放端側にも重なるように形成されている。誘電体層117上には一端部がアース電極70に接続される共振素子26と、一端がアース電極70に接続され他端が共振素子26の開放端と対向する電極36が設けられている。誘電体層114上の内部アース電極82は共振素子26の開放端側にも重なるように形成されている。誘電体層115上のシールド電極91も、誘電体層115の右側略2/3の部分の全面に設けられ、さらに共振素子25、26の開放端側にも重なるように設けられている。

【0066】本実施例においては、入力用電極41と共振素子21との間には静電容量111が、出力用電極42と共振素子24との間には静電容量112がそれぞれ形成され、共振素子21、22、25、26、23、24の開放端と電極31、32、35、36、33、34との間には静電容量121、122、125、126、123、124がそれぞれ形成されている。

【0067】さらに、共振素子21と内部アース電極8

13

1 およびシールド電極との間には静電容量 141、142 がそれぞれ形成され、共振素子 22 と内部アース電極 81 およびシールド電極 91 との間には静電容量 143、144 がそれぞれ形成され、共振素子 25 と内部アース電極 81 およびシールド電極 91 との間には静電容量 149、1410 がそれぞれ形成され、共振素子 26 とシールド電極 91 および内部アース電極 82 との間には静電容量 1411、1412 がそれぞれ形成され、共振素子 23 とシールド電極 91 および内部アース電極 82 との間には静電容量 145、146 がそれぞれ形成され、共振素子 24 とシールド電極 91 および内部アース電極 82 との間には静電容量 147、148 がそれぞれ形成されている。

【0068】そして、これらの静電容量 121～124、141～1412 が存在することにより、共振素子 21 と共振素子 22 はインダクタンス 131 によって、共振素子 22 と共振素子 25 はインダクタンス 134 によって、共振素子 25 と共振素子 26 はインダクタンス 135 によって、共振素子 26 と共振素子 23 はインダクタンス 136 によって、共振素子 23 と共振素子 24 はインダクタンス 133 によってそれぞれ結合されている。なお、共振素子 21 と共振素子 24、共振素子 22 と共振素子 23 はそれらの間にシールド電極 91 が全面に存在するから、互いに結合されていない。

【0069】図18には、上記のようにして構成された積層型誘電体フィルタの等価回路を示す。なお、並列共振回路の静電容量 251、261 およびインダクタンス 252、262 は共振素子 25、26 をそれぞれ等価変換したときの静電容量およびインダクタンスである。

【0070】次に、本実施例の積層型誘電体フィルタの製造方法について説明する。本実施例においても、第1の実施例において使用したグリーンシートを用い、銀ペーストを導体ペーストとして、図14に示した導体パターンをそれぞれ印刷し、次いで、これら導体パターンが印刷されたグリーンシートの厚みを調整するために必要なグリーンシートを重ねて図14の構造となるように積層した後、900℃で焼成した。

【0071】上記のように構成した積層型誘電体フィルタ本体の上面、入力端子部 61、出力端子部 62 を除く側面、および入力端子部 61、出力端子部 62 を除く下面に、図2に示すように銀電極からなるアース電極 70 を印刷し、さらに、アース電極 70 から電気的に絶縁し、かつ入力用電極 41、出力用電極 42 に各別に電気的に接続する銀電極を入力端子部 61、出力端子部 62 内に、入力端子 51、出力端子 52 として印刷し、印刷した電極を 850℃で焼きつけた。

【0072】上記構成の積層型誘電体フィルタにおいて、誘電体層 14、117、15、116、16、13 の幅 w4 を 6.8 mm、シールド電極 91 の右側の幅 w5 を 5 mm、内部アース電極 81、82 の幅 w3 を 5.

14

4 mm、共振素子 25、26 の長さ l1 を 4 mm、幅 w1 を 0.8 mm、共振素子 25 と共振素子 22 との間隔および共振素子 26 と共振素子 23 との間隔 s1 を 1.2 mm、電極 35、36 の幅 w2 を 0.8 mm、電極 35 と電極 32 との間隔および電極 36 と電極 33 との間隔 s2 を 1.2 mm、内部アース電極 81 と共振素子 25 との対向面積を 0.32 mm<sup>2</sup>、内部アース電極 82 と共振素子 26 との対向面積を 0.32 mm<sup>2</sup>、シールド電極 91 と各共振電極 25、26 との対向面積をそれぞれ 0.16 mm<sup>2</sup> とし、他は第2の実施例と同様に構成した場合、外形形状は 4.8 mm × 6.8 mm × 2.4 mm であって、中心周波数は 1700 MHz、帯域幅は 7.5 MHz、挿入損失は 4.2 dB 以下であった。また、中心周波数から 200 MHz 高い周波数点での減衰量は 70 dB であった。

【0073】次に本発明の第4の実施例について説明する。本実施例においては、図19に示すように、第2の実施例において（図6参照）、共振素子 21、24 の開放端側に対向するシールド電極 91 の部分に、誘電体層 15 露出する開口部 100 を設けている。このように、共振素子 21、24 の開放端側に開口部 100 を設けることにより、共振素子 21 と共振素子 24 との間に静電結合が生じる。その静電容量を静電容量 400 とする。

【0074】図20は、上記のように構成した積層型誘電体フィルタの等価回路を示したものである。このように、本実施例においては、共振素子 21、24 間が静電容量 400 によって結合されるようになるから、図21に示すような周波数特性を有する梢円関数フィルタが構成される。

【0075】本実施例において、シールド電極 91 内に幅 w6 が 0.6 mm、長さ l7 が 0.5 mm の開口部 100 を、共振素子 21、24 間に共振素子 21、24 に重なるようにして設け、他は第2の実施例と同様の構成としたところ、中心周波数は 1900 MHz、帯域幅は 60 MHz、挿入損失は 3.3 dB 以下であった。また、減衰ピークの周波数は 1830 MHz と 1965 MHz であり、そのときの減衰量はそれぞれ 25 dB、22 dB であり、第2の実施例に比して、減衰特性が大幅に改善されていた。

【0076】次に、本発明の第5の実施例について説明する。本実施例においては、図22に示すように、第1の実施例におけるシールド電極 91（図1参照）の共振素子 21、24 の開放端側に対向する部分に誘電体層 15 が露出する開口部 100 を設けている。これによって、図23の等価回路に示すように、共振素子 21、24 間が静電容量 400 によって結合される。その結果、やはり、減衰特性に優れる梢円関数フィルタが構成される。次に、本発明の第6の実施例について説明する。本実施例においては、図24に示すように、第3の実施例におけるシールド電極 91（図14参照）の共振素子 2

15

1、24の開放端側に対向する部分に誘電体層15が露出する開口部100を設けている。これによって、図25の等価回路に示すように、対称な共振素子21、24間が静電容量400によって結合される。その結果、やはり、減衰特性に優れる梢円関数フィルタが構成される。

【0077】次に、本発明の第7の実施例について説明する。本実施例においては、図26に示すように、第3の実施例におけるシールド電極91(図14参照)の共振素子22、23間の開放端側に対向する部分に誘電体層15が露出する開口部100を設けている。これによって、図27の等価回路に示すように、対称な共振素子22、23間が静電容量400によって結合される。その結果、やはり、減衰特性に優れる梢円関数フィルタが構成される。

【0078】次に、本発明の第8の実施例について説明する。第1～第7の実施例においては、コムライン型のフィルタを本発明の実施例として説明したが、本実施例は、インターディジタル型の誘電体フィルタに関する。

【0079】図28は本実施例の模式展開図であり、図29は本実施例の斜視図である。

【0080】図28に示すように、後記する出力端側の共振素子24の一部に誘電体層117を挟んで重なる出力用電極42を、誘電体層14上に形成する。この出力用電極42は、誘電体層14の右側に向かって前方に延在して設けられている。なお、誘電体層14の裏面には、アース電極70が後に形成される。

【0081】後記するアース電極70に一端部が電気的に接続されて1/4波長型ストリップライン共振器を構成する共振素子24を誘電体層14上に積層される誘電体層117上の右側に形成する。さらに、一端部が後記するアース電極70に電気的に接続され、かつ他端部が共振素子24の開放端から所定の間隔離れて共振素子24と対向する電極34を誘電体層112上に形成する。共振素子24が出力端側の共振素子である。

【0082】後記するアース電極70に電気的に接続されるシールド電極91を誘電体層117上に積層される誘電体層15の右半分の表面上に形成する。さらに、後記するアース電極70に一端部が電気的に接続されて1/4波長型ストリップライン共振器を構成する共振素子22を誘電体層15上の左側に；共振素子24とは開放端側および接地側の方向を反対にして設ける。さらに一端部が後記するアース電極70に電気的に接続され、かつ他端部が共振素子22の開放端から所定の間隔離れて共振素子22に対向する電極32を誘電体層15上に形成する。

【0083】後記するアース電極70に一端部が電気的に接続されて1/4波長型ストリップライン共振器を構成する共振素子21を、誘電体層15上に積層される誘電体層116上の右側に、共振素子22とは開放端側

16

より接地側の方向を反対にして設ける。さらに、一端部が後記するアース電極70に電気的に接続され、かつ他端部が共振素子21の開放端から所定の間隔離れて共振素子21に対向する電極31を誘電体層116上に設ける。共振素子21が入力端側の共振素子である。

【0084】入力端側の共振素子21の一部に誘電体層16を挟んで重なる入力用電極41を誘電体層116上に積層される誘電体層16上に形成する。入力用電極41は誘電体層16の右側面に向かって、後方に延在して設けられている。このように入力用電極41を後方に延在させる一方、出力用電極42を前記に延在させることによって、入力用電極41および出力用電極42の露出端部が誘電体層の積層方向において重ならないようにしている。

【0085】誘電体層16上に、表面にアース電極70が形成される誘電体層13と積層し、誘電体層14、117、15、116、16、13を一体に構成して積層体500を形成する。

【0086】図29に示すように、積層体500の上面、入力端子部61、出力端子部62を除く側面、および入力端子部61、出力端子部62を除く下面にアース電極70形成する。さらに、積層体500の一側面600の入力端子部61内および下面の入力端子部61内に、アース電極70と電気的に絶縁され、かつ入力用電極41と電気的に接続される入力端子51を形成する。また同様に、積層体500の同じ側面600の出力端子部62内および下面の出力端子部62内に、アース電極70および入力端子51と電気的に絶縁され、かつ出力用電極42と電気的に接続される出力端子52を形成する。

【0087】本実施例においては、共振素子21、22、24をそれらの開放端側と接地側を互い違いに配置しているから、共振素子21、22、24間はそれぞれインダクタンス131、137によって結合され、3段のインターディジタル型フィルタを構成している。なお、共振素子21と共振素子24との間にはアース電極と電気的に接続されたシールド電極91が設けられているから、共振素子21と共振素子24とは分布結合されていない。

【0088】図30は上記のようにして構成された積層型誘電体フィルタの等価回路を示している。

【0089】次に、本実施例の積層型誘電体フィルタの製造方法について説明する。本実施例においても、第1の実施例において使用したグリーンシートを用い、銀ペーストを導体ペーストとして、図28に示した導体パターンをそれぞれ印刷し、次いで、これら導体パターンが印刷されたグリーンシートの厚みを調整するために必要なグリーンシートを重ねて図28の構造となるように積層した後、900℃で焼成した。

【0090】上記のように構成した積層型誘電体フィル

17

タの上面、入力端子部61、出力端子部62を除く側面、および入力端子部61、出力端子部62を除く下面に、図29に示すように銀電極からなるアース電極70を印刷し、さらにアース電極70から電気的に絶縁し、かつ入力用電極41、出力用電極42に各別に電気的に接続する銀電極を入力端子部61、出力端子部62内に、入力端子51、出力端子52として印刷し、印刷した電極を850°Cで焼きつけた。

【0091】上記構成の積層型誘電体フィルタにおいて、各共振素子21、22、24の幅w<sub>1</sub>を0.8mm、共振素子21および24の右側面からの距離w<sub>7</sub>を1.0mm、共振素子22の左側面からの距離w<sub>8</sub>を1mm、各共振素子21、22、24の長さs<sub>1</sub>を4mm、電極31、32、34の幅w<sub>2</sub>を0.8mm、長さs<sub>2</sub>を0.5mm、共振素子21、22、24とそれらとそれぞれ対向する電極31、32、34との間隔s<sub>3</sub>を0.3mm、入力用電極41と共振素子21との対向面積を0.88mm<sup>2</sup>、出力用電極42と共振素子23との対向面積を0.88mm<sup>2</sup>、誘電体層14、11、7、15、116、16、13の厚さをそれぞれ0.9mm、0.2mm、1.1mm、1.1mm、0.2mm、0.9mm、誘電体層14、117、15、116、16、13の幅w<sub>4</sub>を4.8mm、シールド電極91の幅w<sub>5</sub>を3mmとしたとき、外形形状は4.8mm×4.8mm×4.4mmであり、中心周波数は190MHz、帯域幅は65MHz、挿入損失は2.5dB以下であった。

【0092】次に、本発明の第9の実施例について説明する。

【0093】図31は、本実施例の模式展開図である。誘電体層15上には共振素子が形成されておらず、それに代えて、誘電体層116上には共振素子22が、誘電体層117上には共振素子23が形成されている他は第8の実施例と同様である。本実施例においても、共振素子21、22、23、24をそれらの開放端と接地側とを互い違いに配置しているから、共振素子21、22、23、24間はそれぞれインダクタンス131、132、133によって結合され、4段のインターディジタル型フィルタを構成している。なお、共振素子21と共振素子24との間にはアース電極と電気的に接続されたシールド電極91が設けられているから、共振素子21と共振素子24とは分布結合されていない。

【0094】図32には上記のようにして構成された積層型誘電体フィルタの等価回路を示している。

【0095】第8、第9の実施例によって説明したインターディジタル型のフィルタにおいても、図33に示すように、シールド電極91の共振素子21、24間の一部分に、誘電体層15を露出する開口部100を設けることによって、共振素子21、24間も結合させることができ、やはりこの場合も減衰特性に優れる梢円関数フ

イルタが構成される。

【0096】なお、以上の実施例においては、入出力はいずれも容量結合を利用したが、図34に示すように、タップを利用した入出力とすることもできる。

【0097】

【発明の効果】本発明においては、第1の共振素子と第2の共振素子とを積層しているから、フィルタを実装したときの専有面積を小さくできる。

【0098】そして、第1の共振素子と第2の共振素子との間にシールド電極を設けているから第1の共振素子と第2の共振素子とが、これらを結合される第3の結合素子を飛び越して結合するのを防止することができる。

【0099】これらのことは、第4の共振素子と第5の共振素子とをさらに積層した場合でも同様である。

【0100】さらに、第1の共振素子と第2の共振素子との間のシールド電極に開口部を設けることにより、これらの第1および第2の共振素子と第3の共振素子との間の結合を維持したまま第1の共振素子と第2の共振素子との間も部分的な結合を形成することができ、その結果、特に結合のための部品を追加せずとも、減衰特性に優れた梢円関数フィルタを構成することができる。

【0101】また、第1の共振素子および第2の共振素子とそれぞれ結合または接続される入出力用電極を誘電体フィルタの同じ側面に導出することにより表面実装に適したフィルタを構成することができる。

【0102】この導出面を第1の共振素子と第2の共振素子が積層される方向と平行な面とし、この面よりこの面とは垂直な面にまで延在する入出力端子に入出力用電極を接続することで、多段構成のフィルタとなった場合においてもフィルタの厚さを増加することなく、しかも表面実装に適したフィルタを構成することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の積層型誘電体フィルタの模式展開図である。

【図2】本発明の第1の実施例の積層型誘電体フィルタの斜視図である。

【図3】本発明の第1の実施例の積層型誘電体フィルタの主要部の構成を示す平面図である。

【図4】図3のX-X線断面図である。

【図5】図3に示したフィルタの等価回路図である。

【図6】本発明の第2の実施例の積層型誘電体フィルタの模式展開図である。

【図7】本発明の第2の実施例の積層型誘電体フィルタの主要部の構成を示す平面図である。

【図8】図7のX-X線断面図である。

【図9】図7のY-Y線断面図である。

【図10】図7に示したフィルタの等価回路図である。

【図11】コムライン型の共振素子を説明するための図である。

【図12】図11の配線の等価回路図である。

【図 1 3】図 1 2 の等価回路図における分布定数素子 3 2 3 のインピーダンスのリアクタンスと電気長との関係を示す図である。

【図 1 4】本発明の第 3 の実施例の積層型誘電体フィルタの模式展開図である。

【図 1 5】本発明の第 3 の実施例の積層型誘電体フィルタの主要部の構成を示す平面図である。

【図 1 6】図 1 5 の X-X 線断面図である。

【図 1 7】図 1 5 の Y-Y 線断面図である。

【図 1 8】図 1 5 に示したフィルタの等価回路図である。

【図 1 9】本発明の第 4 の実施例の積層型誘電体フィルタを説明するための図である。

【図 2 0】本発明の第 4 の実施例の積層型誘電体フィルタの等価回路図である。

【図 2 1】本発明の第 4 の実施例の積層型誘電体フィルタによって得られる梢円関数フィルタの周波数特性を示す図である。

【図 2 2】本発明の第 5 の実施例の積層型誘電体フィルタを説明するための図である。

【図 2 3】本発明の第 5 の実施例の積層型誘電体フィルタの等価回路図である。

【図 2 4】本発明の第 6 の実施例の積層型誘電体フィルタを説明するための図である。

【図 2 5】本発明の第 6 の実施例の積層型誘電体フィルタの等価回路図である。

【図 2 6】本発明の第 7 の実施例の積層型誘電体フィルタを説明するための図である。

【図 2 7】本発明の第 7 の実施例の積層型誘電体フィルタの等価回路図である。

【図 2 8】本発明の第 8 の実施例の積層型誘電体フィルタの模式展開図である。

【図 2 9】本発明の第 8 の実施例の積層型誘電体フィルタの斜視図である。

【図 3 0】本発明の第 8 の実施例の積層型誘電体フィルタの等価回路図である。

【図 3 1】本発明の第 9 の実施例の積層型誘電体フィルタの模式展開図である。

【図 3 2】本発明の第 9 の実施例の積層型誘電体フィルタの等価回路図である。

【図 3 3】第 8 および第 9 の実施例の積層型誘電体フィルタにおける飛び越し結合を説明するための図である。

【図 3 4】タップを利用した積層型誘電体フィルタの入、出力を説明するための図である。

【図 3 5】本発明者らが案出した従来の積層型誘電体フィルタの等価回路図である。

【図 3 6】本発明者らが案出した従来の積層型誘電体フィルタの斜視図である。

【図 3 7】本発明者らが案出した従来の積層型誘電体フィルタの等価回路図である。

#### 【符号の説明】

21、22、23、24…共振素子

13～15、116、117…誘電体層

41…入力用電極

42…出力用電極

91…シールド電極

【図 2】

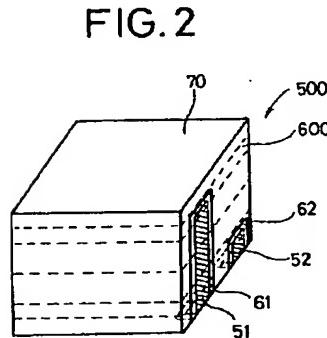
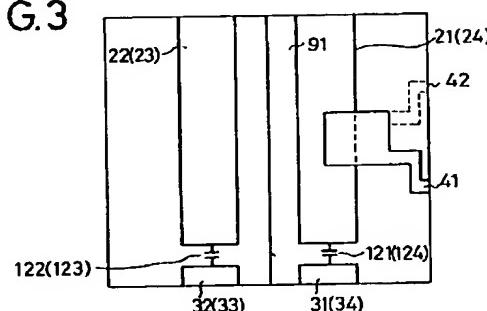
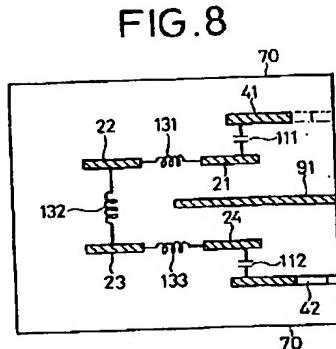


FIG.3



【図 8】



【図1】

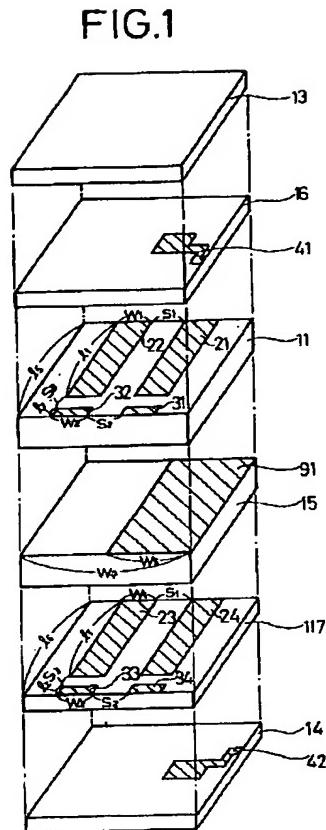
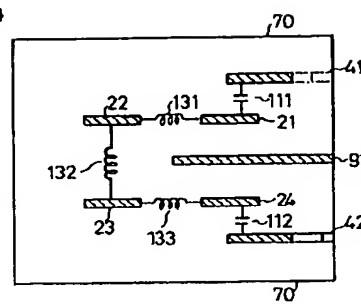
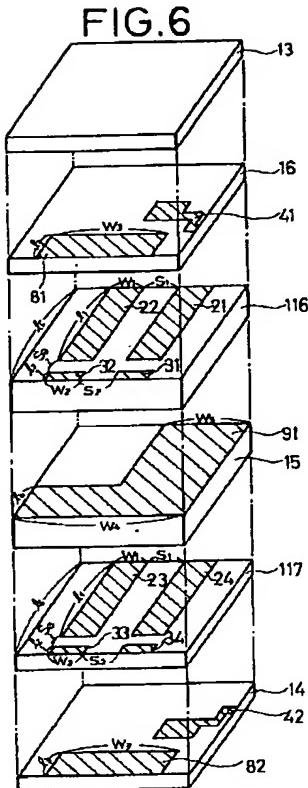


FIG.4

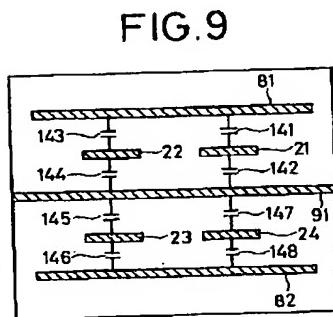


【図4】

【図6】

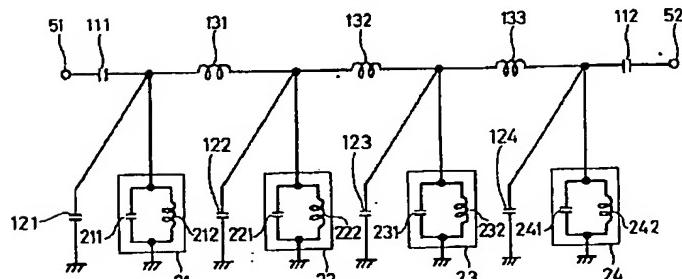


【図9】



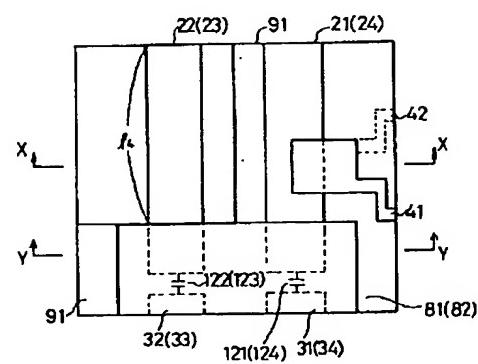
【図5】

FIG.5



【図7】

FIG.7

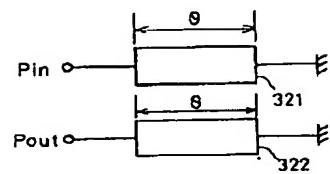
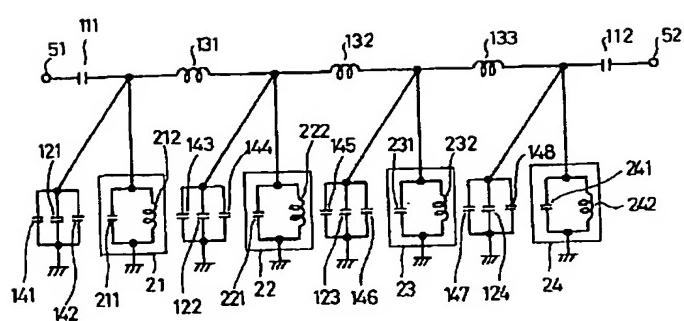


[図10]

[図 1-1]

FIG.10

FIG.11

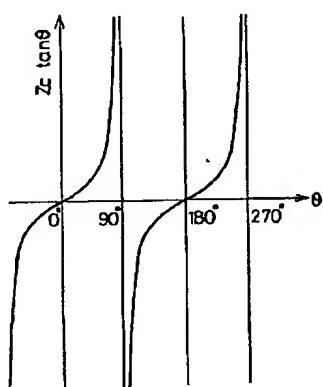
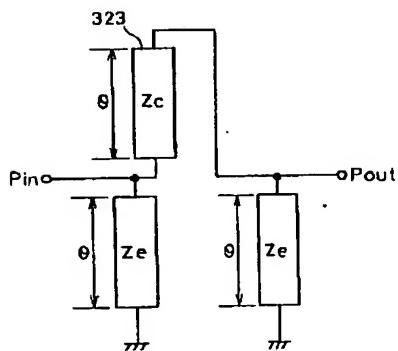


〔図12〕

【図13】

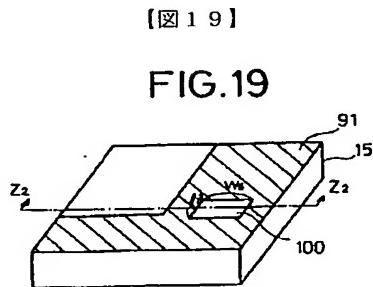
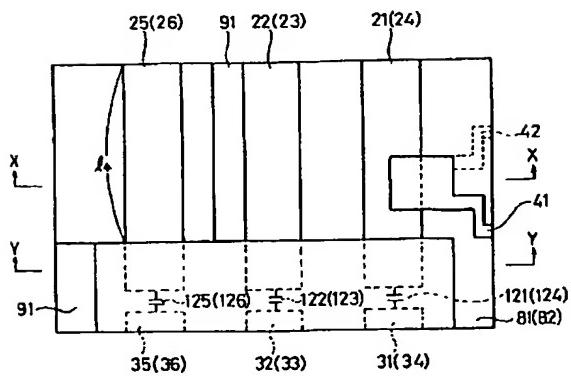
FIG.12

FIG.13



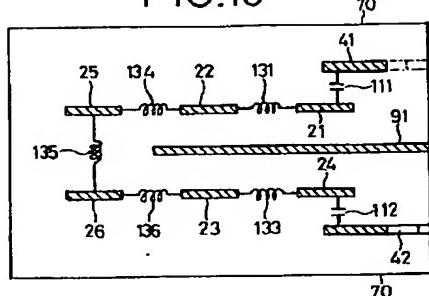
〔図 15〕

FIG.15



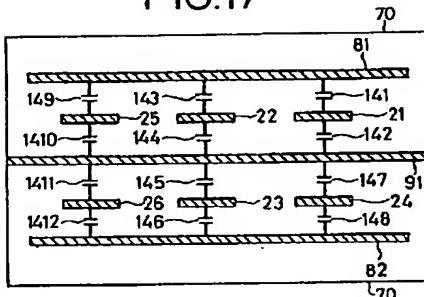
[図 16]

**FIG.16**



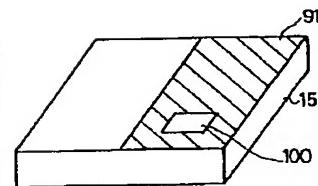
[図1.7]

**FIG.17**



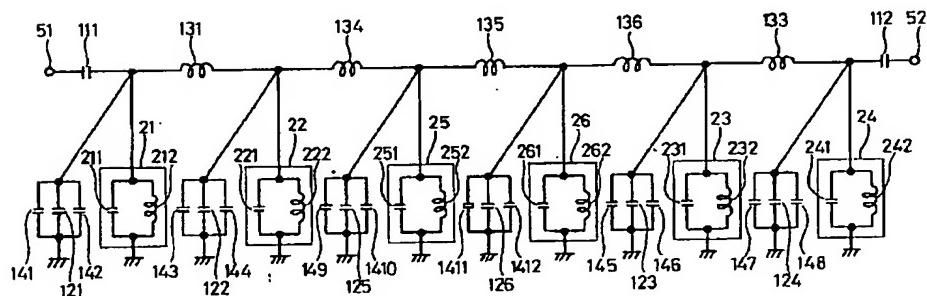
【図22】

FIG.22



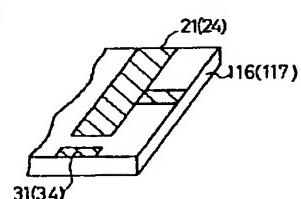
[图] 8]

**FIG.18**



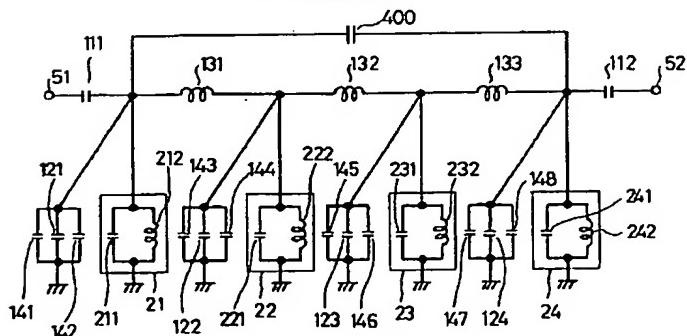
### 【図34】

FIG.34



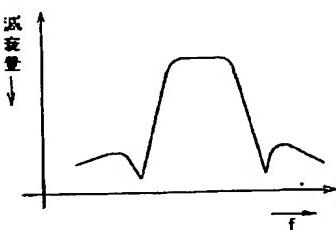
[图20]

FIG.20



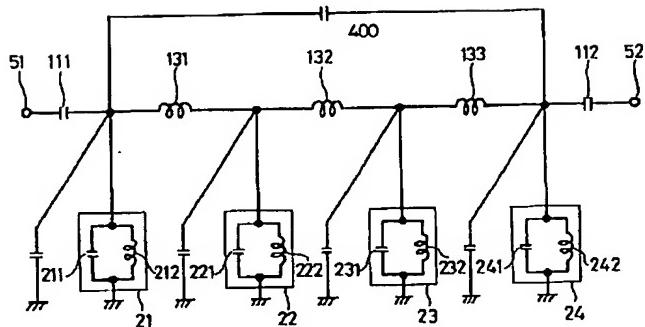
【図21】

FIG. 21



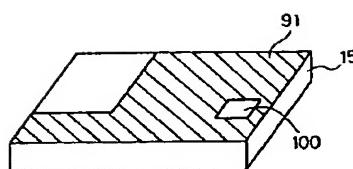
【図23】

FIG.23



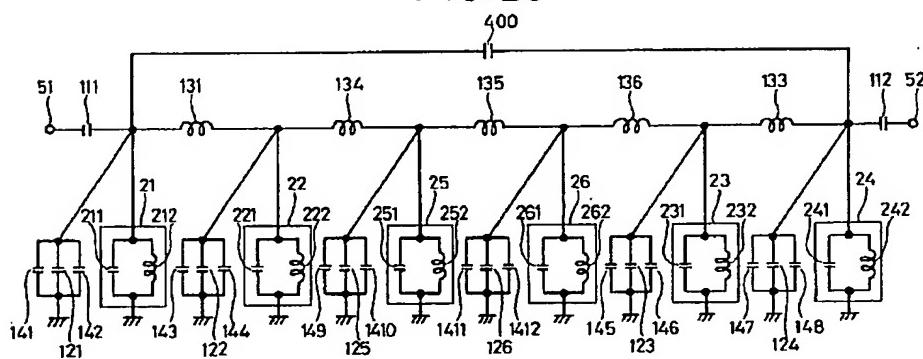
【図24】

FIG.24



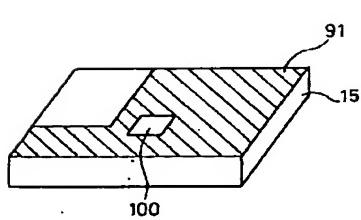
【図25】

FIG.25



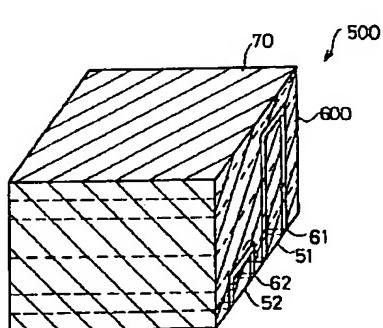
【図26】

FIG.26



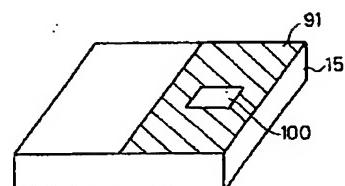
【図29】

FIG.29



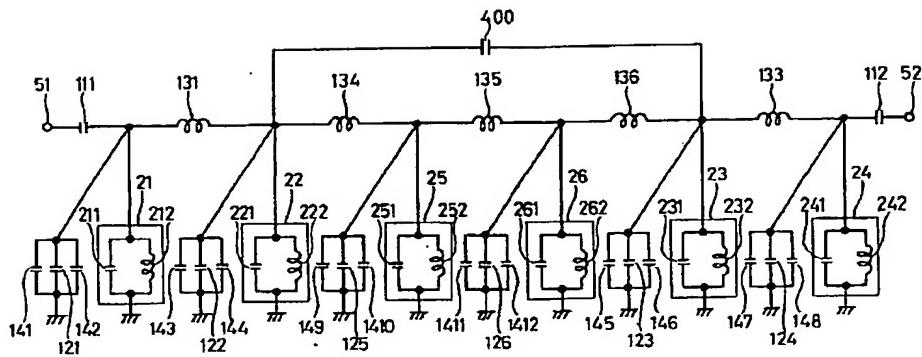
【図33】

FIG.33



[図27]

FIG. 27



[図28]

【図30】

FIG.28

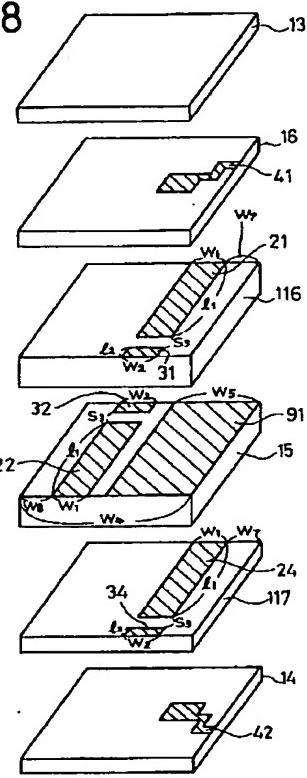
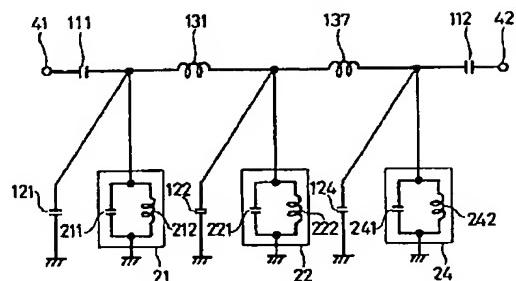
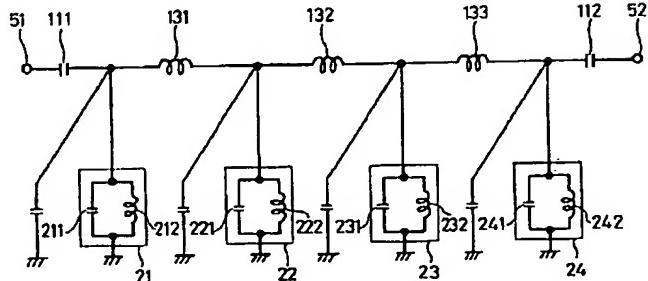


FIG. 30



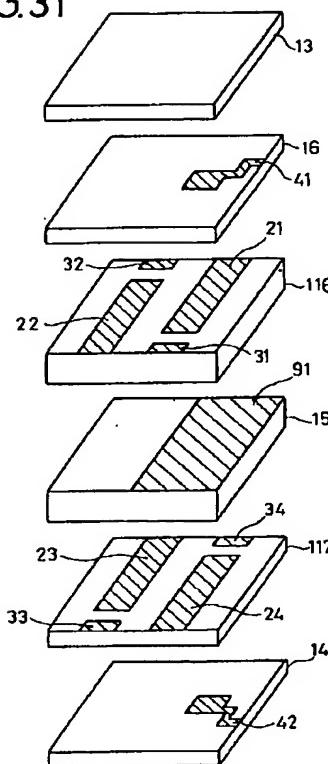
【図32】

FIG. 32



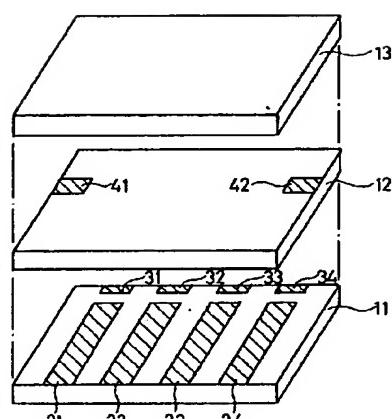
【図31】

FIG.31



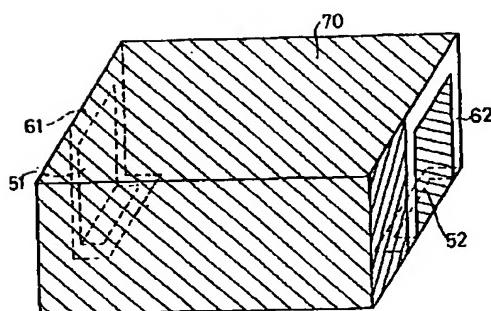
【図35】

FIG.35



【図36】

FIG.36



【図37】

FIG.37

